**~~Arquitectura de Computadoras~~**

**Anexo Clase 7**

**Buses del Sistema**

# Estructuras de interconexión

Todas las unidades han de estar interconectadas.

Existen distintos tipos de interconexiones para los distintos tipos de unidades:

Memoria

Módulo de E/S

Procesador

# Interconexión de la memoria

Recibe y entrega datos.

Recibe direcciones (ubicación de trabajo). Recibe señales de control

Leer

Escribir

Temporizar

# Interconexión del módulo E/S

E/S es funcionalmente similar a la memoria

* Recibe y entrega datos del/al procesador
* Envía y recibe datos al/del periférico
* Recibe direcciones (ubicación del periférico)  Recibe señales de control del procesador
* Envía señales de control al periférico
* Envía señales de control al procesador
* Interrupción

# Interconexión del procesador

Lee instrucciones y datos.

Escribe datos (los procesados).

Envía señales de control a otras unidades.

Recibe (y utiliza) señales de interrupción.

# Buses

Existe una serie de sistemas de interconexión.

Las estructuras sencillas y múltiples son las más comunes.

Ejemplo: control/dirección/bus de datos (PC)

Ejemplo: unibus (DEC-PDP)

**¿Qué es un bus?**

Es un camino de comunicación entre dos o más dispositivos.

Normalmente, medio de transmisión.

Suele agruparse:

 Varios caminos de comunicación o líneas con función común.

un dato de 8 bits puede transmitirse mediante ocho líneas del bus.

# Bus de datos

Transmite datos.

* Recuerde que a este nivel no existe diferencia alguna entre “datos” e “instrucciones”.

El ancho del bus es un factor clave a la hora de determinar las prestaciones.

* 8, 16, 32, 64 bits.

# Bus de dirección

Identifica la fuente o destino de un ‘dato’.

cuando el procesador desea leer una palabra de una determinada parte en la memoria.

El ancho del bus de direcciones determina la máxima capacidad de memoria posible en el sistema.

MSX88 tiene un bus de dirección de 16 bits, lo que define un espacio para direcciones de 64K lugares

# Bus de control

Transmite información de señales de control y temporización

* Señal de escritura/lectura en memoria.
* Petición de interrupción.
* Señales de reloj.

# Interconexión mediante un bus

Líneas de control

Líneas de dirección

Líneas de datos

CPU

Memoria

Memoria

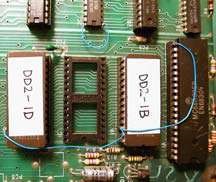
E/S

E/S

Bus

**Cómo son ???**

* Es un conjunto de conductores eléctricos paralelos.
* Líneas de metal.
* Poseen conectores para colocar ‘tarjetas’



# Problemas de un único bus

Conectar gran número de dispositivos a un bus producen Retardos de propagación

Si el control del bus pasa de un dispositivo a otro, puede afectar sensiblemente a las prestaciones.

La mayoría de los sistemas utilizan varios buses para solucionar estos problemas.

 Jerarquía de buses

# Arquitectura de bus tradicional

Procesador

Memoria

principal

Cache

Bus local

Controlador

local de E/S

SCSI

Modem

Serie

Interfaz con el

bus de

expansión

Red

Bus de expansión

Bus del sistema



**Slot**

**CPU**

**Slot**

**Mem**

**B**

**I**

**O**

**S**

**B**

**u**

**s**

**I**

**S**

**A**

**Bus PCI**

**Bus AGP**

**Bus IDE**

# Tipos de buses

Dedicados

Uso de líneas separadas para direcciones y para datos.

16 líneas de direcciones

16 líneas de datos

1 línea de control de lectura ó escritura (r/w)

Multiplexados

Uso de las mismas líneas.

16 líneas de direcciones ó datos

1 línea de control de lectura ó escritura (r/w)

1 línea de control para definir direcciones ó datos (a/d)

Menos líneas pero mas circuitería. ¿Prestaciones?

# Arbitraje del bus

El control del bus puede necesitar más de un módulo.

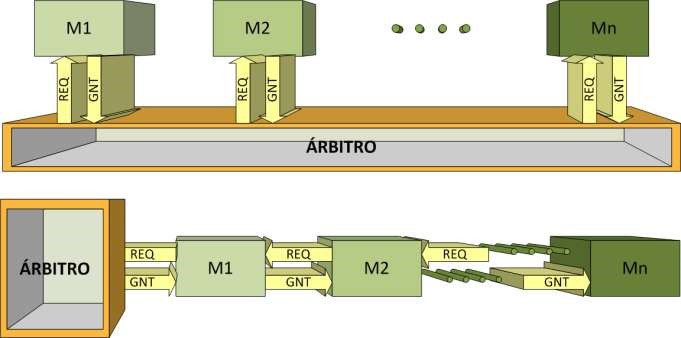
Ejemplo: CPU y el controlador DMA

Sólo una unidad puede transmitir a través del bus en un instante dado.

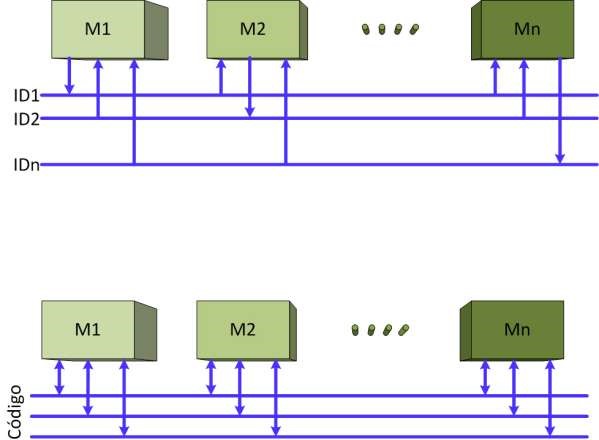
Los métodos de arbitraje se pueden clasificar como centralizados o distribuidos.

# Arbitraje centralizado

* Un único dispositivo hardware es responsable de asignar tiempos en el bus: Controlador del bus ó Árbitro
* Puede estar en un módulo separado o ser parte del procesador.



# Arbitraje distribuido

* Cada módulo

puede controlar el acceso al bus.

* Cada módulo

dispone de lógica para controlar el acceso.

# Temporización

Forma de coordinar los eventos en el bus.

Temporización síncrona

La presencia de un evento está determinada por un reloj.

El bus incluye una línea de reloj.

Un intervalo desde un “uno” seguido de otro a “cero” se conoce como ciclo de bus.

Todos los dispositivos del bus pueden leer la línea de reloj.

Suele sincronizar en el flanco de subida.

La mayoría de los eventos se prolongan durante un único ciclo de reloj.

# Temporización síncrona

Relo

j

Lectura

Líneas de

dirección

Líneas

de datos

Inicio

Recono

-

cimiento

# Temporización asíncrona

MSYN

SSYN

Lectura

Líneas de

dirección

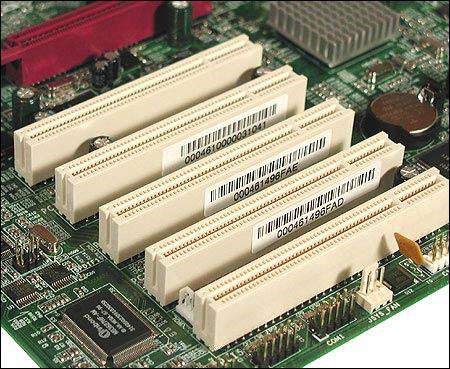
Líneas de

datos

# Bus PCI

Interconexión de Componente Periférico.

Intel cedió sus patentes al dominio público.

32 o 64 bits.

32 bit a 33MHz = 133 MB/s

64 bit a 66MHz = 528 MB/s

Comandos

* Transacción maestro - esclavo.  Maestro toma control del bus.
* Determina tipo de transacción.
* lectura ó escritura  Fase de direccionamiento.
* Una o más fases de datos.

# Líneas de señal PCI

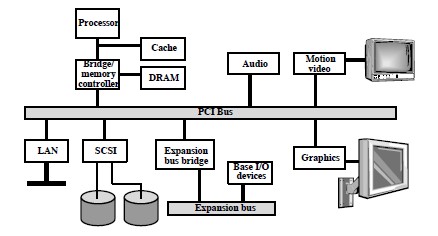
49 líneas obligatorias

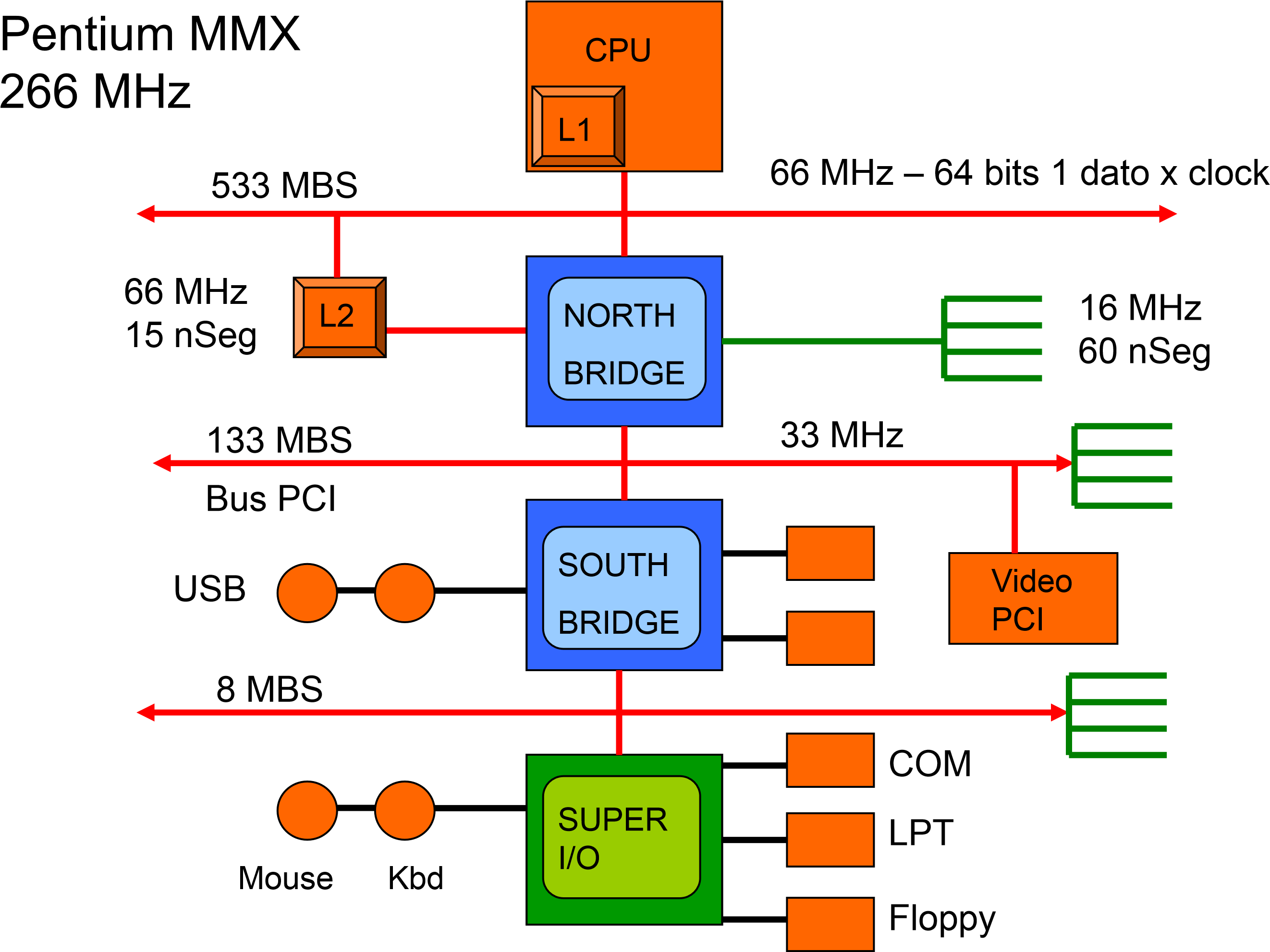
* Líneas del sistema
* Incluyen reloj y reset.
* Terminales de direcciones y datos
* 32 líneas multiplexadas para direcciones y datos.
* Líneas para interpretar y validar eventos.
* Terminales de control de la interfaz
* Temporización y Coordinación Terminales de arbitraje
* Líneas no compartidas.
* Conexión directa al árbitro del bus PCI.
* Terminales para señales de error

51 líneas opcionales Extensión a 64 bits

32 líneas adicionales. Líneas multiplexadas. 2 líneas para transferir a 64 bits.

# Sistema con Bus PCI típico



PCI

ISA

## Pentium MMX 266 MHz

FSB = Front Side Bus

66,66 MHz x 64 bits x 1 dato.clock =

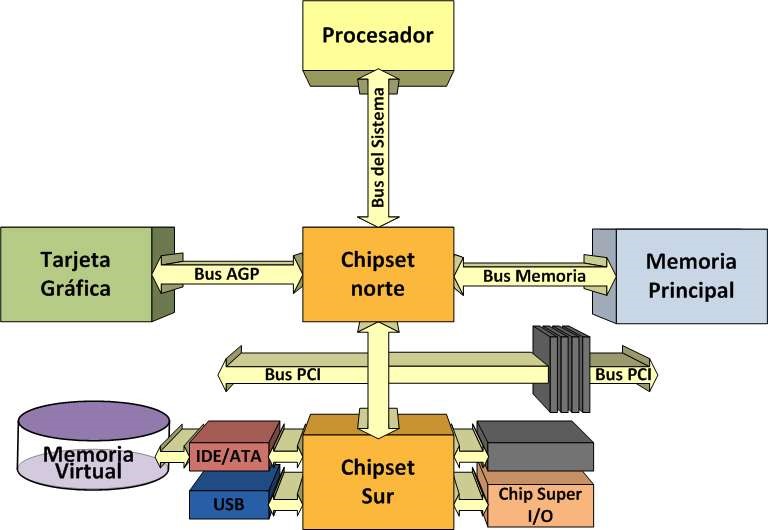
533 MBytes/seg

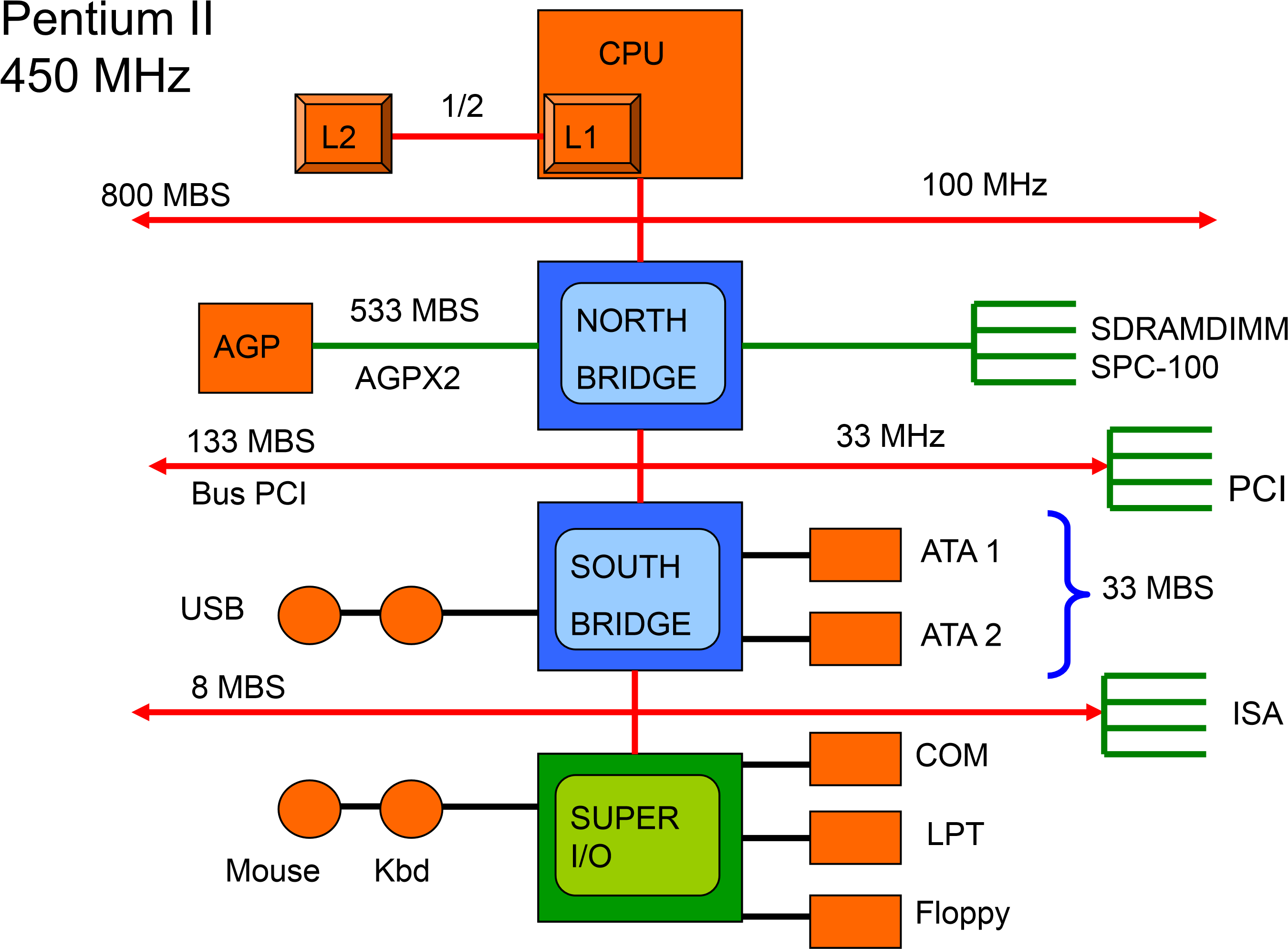
Bus PCI

33,33 MHz x 32 bits x 1 dato.clock =

133 MBytes/seg

# Evolución de jerarquía de bus (1)



225 MHz

## Pentium II 450 MHz

* FSB = Front Side Bus
  1. MHz x 64 bits x 1 dato.clock = 800 MBytes/seg
* Bus AGP

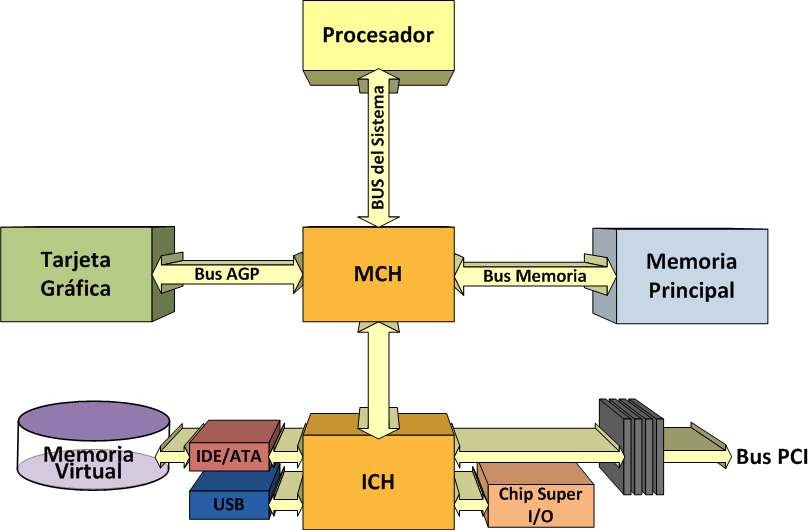
66,66 MHz x 32 bits x 2 datos.clock = 533 MBytes/seg

* ATA-UDMA

8,33 MHz x 16 bits x 2 datos.clock = 33 MBytes/seg

* PC100 SDRAM DIMM
  1. MHz x 64 bits x 1dato.clock = 800 MBytes/seg

# Evolución de jerarquía de bus (2)



Pentium III

,4 GHz

1

PCI

L1

L2

CPU

1066

MBS

133

MHz

MC

H

IOC

1.066

MBS

AGPX4

AGP

SDRAM

DIMMS

PC

-

133

133

MBS

–

33

MHz

ATA 1

ATA 2

100

MBS

Hub Interface 266 MBS

Súper

I/O

## Pentium III 1,4 GHz

MCH = Memory Controller Hub IOC = I/O Controller

* FSB = Front Side Bus

133,33 MHz x 64 bits x 1 dato.clock = 1066 MBytes/seg

* Bus AGP

66,66 MHz x 32 bits x 4 datos.clock = 1066 MBytes/seg

* ATA-UDMA

25 MHz x 16 bits x 2 datos.clock = 100 MBytes/seg

* PC133 SDRAM DIMM

133,33 MHz x 64 bits x 1dato.clock = 1066 MBytes/seg

Athlon XP 3200+

2

,2 GHz

333

MHz

MBS

2667

L1

L2

CPU

AGP

NORTH

BRIDGE

SOUTH

BRIDGE

DDR SDRAM

DDR DIMMS

PC

-

2700

/DDR

333

PCI

33

MHz

AGP 8X

2667

MBS

## Athlon XP 3200+ 2,2 GHz

* FSB = Front Side Bus

166,66 MHz x 64 bits x 2 dato.clock = 2667 MBytes/seg

* Bus AGP

66,66 MHz x 32 bits x 8 datos.clock = 2133 MBytes/seg

* ATA-UDMA

25 MHz x 16 bits x 2 datos.clock = 100 MBytes/seg

* PC2700 DDR DIMM (DDR 333)

166,66 MHz x 64 bits x 2 dato.clock = 2667 MBytes/seg

Pentium IV

,6 GHz

3

800

MHz

6400

MBS

L1

L2

CPU

AGP

2133

MBS

AGP 8X

MCH

DUAL

-

CHANNEL

PC3200/DDR400

6400

MBS

IOC

Hub Interface 266 MBS

PCI

Súper

I/O

## Pentium IV 3,6 GHz

* FSB = Front Side Bus
  1. MHz x 64 bits x 4 datos.clock = 6400 MBytes/seg
* Bus AGP

66,66 MHz x 32 bits x 8 datos.clock = 2133 MBytes/seg

* ATA-UDMA

25 MHz x 16 bits x 2 datos.clock = 100 MBytes/seg

* PC3200 DDR DIMM (DDR400)
  1. MHz x 64 bits x 2 dato.clock = 3200 MBytes/seg

# Bus de altas prestaciones

Procesador

SCSI

FireWire

Gráficos

Vídeo

Memoria

principal

Cache/adaptador

Serie

Interfaz con el

bus de

expansión

FAX

LAN

Modem

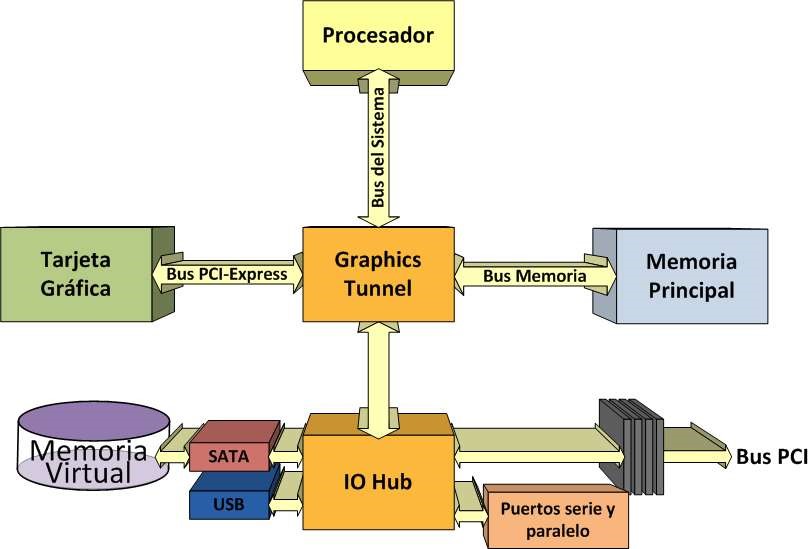
Bus local

Bus del sistema

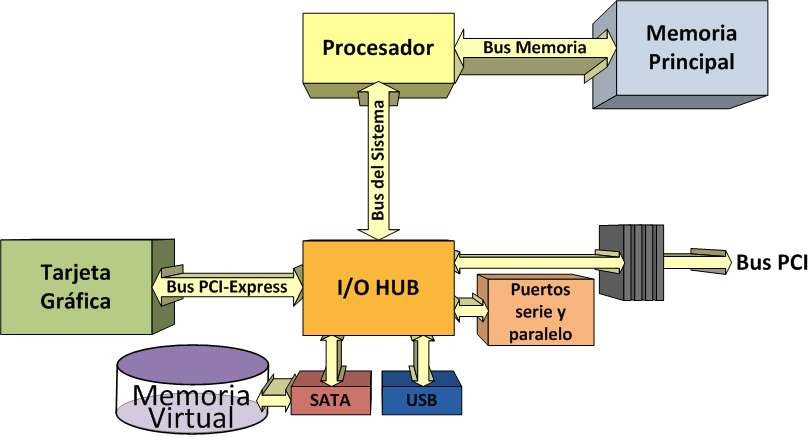
Bus de alta velocidad

Bus de expansión

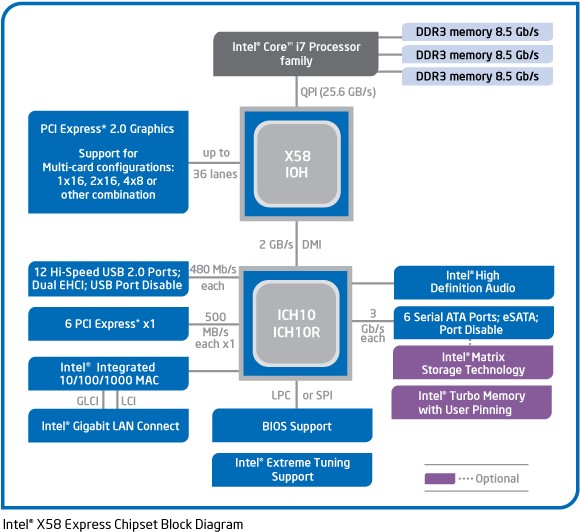
# Evolución de jerarquía de bus (3)



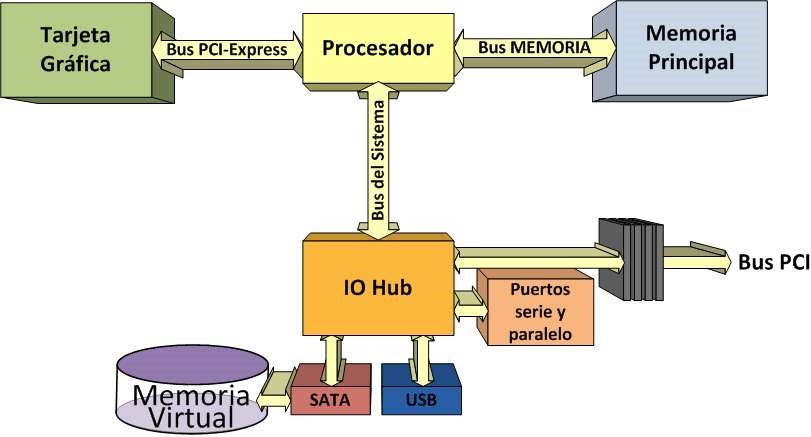
# Evolución de jerarquía de bus (4)



**Intel core i7**



# Evolución de jerarquía de bus (5)



# Lecturas recomendadas

* Organización y Arquitectura de Computadoras, William Stallings, Capítulo 3, 5ta ed.
* Diseño y evaluación de arquitecturas de computadoras, M. Beltrán y A. Guzmán, Capítulo 2 Apartado 2.8, 1er ed.

* [www.pcguide.com/ref/mbsys/buses/](http://www.pcguide.com/ref/mbsys/buses/)
* Páginas de fabricantes